

UNIVERSIDADE FEDERAL DE VIÇOSA  
CENTRO DE CIÊNCIAS EXATAS E TECNOLÓGICAS  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

PAULO FÁBIO FIGUEIREDO ROCHA

**DESENVOLVIMENTO DE UM SISTEMA PARA AQUISIÇÃO DE  
SINAIS ELETROFISIOLÓGICOS MULTICANAIS**

VIÇOSA  
2013

PAULO FÁBIO FIGUEIREDO ROCHA

**DESENVOLVIMENTO DE UM SISTEMA PARA AQUISIÇÃO DE  
SINAIS ELETROFISIOLÓGICOS MULTICANAIS**

Monografia apresentada ao Departamento de Engenharia Elétrica do Centro de Ciências Exatas e Tecnológicas da Universidade Federal de Viçosa, para a obtenção dos créditos da disciplina ELT 490 – Monografia e Seminário e cumprimento do requisito parcial para obtenção do grau de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Leonardo Bonato Felix.

VIÇOSA  
2013



**PAULO FÁBIO FIGUEIREDO ROCHA**

**DESENVOLVIMENTO DE UM SISTEMA PARA AQUISIÇÃO DE  
SINAIS ELETROFISIOLÓGICOS MULTICANAIS**

Monografia apresentada ao Departamento de Engenharia Elétrica do Centro de Ciências Exatas e Tecnológicas da Universidade Federal de Viçosa, para a obtenção dos créditos da disciplina ELT 490 – Monografia e Seminário e cumprimento do requisito parcial para obtenção do grau de Bacharel em Engenharia Elétrica.

Aprovada em 22 de janeiro de 2013.

**COMISSÃO EXAMINADORA**

---

**Prof. Dr. Leonardo Bonato Felix - Orientador**  
**Universidade Federal de Viçosa**

---

**Prof. M.Sc. Alexandre Santos Brandão - Membro**  
**Universidade Federal de Viçosa**

---

**Prof. M.Sc. Mauro de Oliveira Prates - Membro**  
**Universidade Federal de Viçosa**

*“A educação torna fácil liderar um povo, mas difícil manobra-lo; fácil governa-lo, mas impossível escraviza-lo.”*  
*(Henry P. Brougham)*

*Dedico este trabalho aos meus pais.*

## *Agradecimentos*

Agradeço aos meus pais, Eurivaldo e Joana, e irmãos, Laerte e Irina, que por mais que escrevesse algo para sintetizar o quanto são importantes para mim, não só neste período em que estive longe, mas que eu sei que assim será sempre, não é possível mesmo. Amo muito vocês.

Aos padrinhos, Nivalda e Valter, tios, tias e primos, que sempre apoiaram e a cada visita nas férias me ajudavam a renovar as forças nesta empreitada.

Aos amigos da ELT, NIAS e os parceiros de república que com certeza levarei na lembrança todos os momentos em Viçosa, seja nos estudos ou nos momentos de curtição, festas, come águas...

Aos meus professores e em especial ao meu orientador Leonardo Bonato que enriqueceram meu conhecimento e me fizeram amadurecer muito nestes últimos anos.

A FAPEMIG, a CAPES e ao CNPq pelo apoio financeiro concedido, sem o qual esta pesquisa não teria sido possível.

## ***Resumo***

Nos últimos anos, vem crescendo o interesse na compreensão de como funciona o cérebro, seja pela aplicação em diagnóstico e monitoramento de certas situações clínicas ou no estudo de como é codificação das respostas cerebrais. Os sinais elétricos produzidos pelos estímulos sensoriais são de baixa intensidade e muito suscetível a interferências externas. Consequência disso, é a dificuldade para se adquirir este tipo de sinal. Os aparelhos, existentes hoje no mercado, destinados ao condicionamento desses sinais apresentam um elevado custo o que desestimula a obtenção dos mesmos. Neste trabalho, um sistema de aquisição de sinais eletrofisiológicos é desenvolvido englobando circuitos para amplificar e filtrar os dados obtidos, divididos entre os estágios de pré-amplificação, filtragem e amplificação. Tanto os valores de ganho dos amplificadores quanto os de frequência de corte dos filtros são variáveis, possibilitando, assim, uma maior flexibilidade ao sistema. O pré-amplificador conta, ainda, com um sistema de supressão de nível DC ativa para evitar que o ganho seja limitado devido à presença de *offset* no sinal de entrada, uma vez que um ganho elevado pode levar a saturação do sinal. A digitalização do sinal e envio de bits de controle de ganho e frequência de corte são feitos pela placa de aquisição PCI 6220 através de um aplicativo computacional. Com este sistema foi possível obter 12 níveis de ganho com valores que variam de 8 V/V a cerca de 20000 V/V e quatro frequência de corte do filtro passa-baixa de 300, 1000, 3000 e 6000 Hz.



## *Sumário*

1	Introdução.....	12
1.1	Pré-amplificador.....	13
1.2	Filtros Analógicos.....	16
1.3	Multiplexadores e Flip-Flops.....	20
1.3.1	Multiplexador.....	20
1.3.2	Flip-flop.....	21
1.4	Objetivos.....	23
2	Materiais e Métodos.....	24
2.1	Circuito de pré-amplificação.....	24
2.2	Circuito de filtragem.....	25
2.3	Circuito de amplificação.....	27
2.4	Controle digital.....	28
3	Resultados e Discussões.....	31
4	Conclusões.....	34
	Referências Bibliográficas.....	35
	Apêndice A – Painel de Controle do Sistema de Aquisição.....	36
	Apêndice B – Montagem em placa de circuito impresso.....	37

## *Lista de Figuras*

Figura 1 – Amplificador de instrumentação.....	14
Figura 2 – Amplificador de instrumentação com supressão DC ativa.....	15
Figura 3 – Diagrama de blocos do pré-amplificador.....	15
Figura 4 – Resposta em frequência dos filtros (a) passa-baixa, (b) passa-alta, (c) passa-faixa e (d) rejeita-faixa.....	17
Figura 5 – Comparação entre filtros Butterworth, Chebyshev I, Chebyshev II e Elíptico.....	18
Figura 6 – Topologia de filtro MFB.....	19
Figura 7 – Topologia de filtro Sallen-Key.....	19
Figura 8 – Multiplexador de quatro entradas.....	20
Figura 9 – Construção de flip-flop com portas lógicas NAND.....	21
Figura 10 – Formas de ondas de funcionamento do flip-flop tipo D.....	23
Figura 11 – Circuito de pré-amplificação.....	25
Figura 12 – Circuito de filtragem.....	26
Figura 13 – Circuito do amplificador.....	27
Figura 14 – Placa de Aquisição PCI 6220.....	28
Figura 15 – Seleção de bits com 74HC154 e 74HC273.....	29
Figura 16 – Resposta do sistema à entrada de uma onda quadrada.....	31
Figura 17 – Resposta em frequência de um ruído branco aplicado ao sistema.....	32
Figura 18 – Trecho de registro de ECG.....	33
Figura 19 – Painel frontal de controle.....	36
Figura 20 – Montagem do sistema.....	37

## *Lista de Tabelas*

Tabela 1 – Lógica de seleção do multiplexador de quatro entradas .....	21
Tabela 2 – Lógica de seleção do multiplexador de quatro entradas .....	21
Tabela 3 – Tabela-verdade do flip-flop SC. ....	22
Tabela 4 – Tabela-verdade do flip-flop JK.....	22
Tabela 5 – Tabela-verdade do flip-flop D. ....	23
Tabela 6 – Lógica de seleção de ganho do pré-amplificador. ....	24
Tabela 7 – Lógica de seleção da frequência de corte do filtro. ....	27
Tabela 8 – Lógica de seleção do amplificador. ....	28
Tabela 9 – Tabela-verdade do multiplexador CD4052. ....	29
Tabela 10 – Seleção dos canais pelo demultiplexador 74HC154.....	30
Tabela 11 – Combinações de amplificação do sistema. ....	32

# 1 *Introdução*

As atividades elétricas encontradas no cérebro são uma consequência do fluxo de correntes iônicas desencadeadas por potenciais de ação, em função de estímulos sensoriais, execução de tarefas, pensamentos etc. A atividade elétrica do cérebro em humanos começou a ser investigada sistematicamente na década de 1920, mas foi na década de 50 com o avanço da eletrônica que foi possível medir quantitativamente e de forma não invasiva os sinais elétricos cerebrais [01].

O eletroencefalograma é a medida da atividade elétrica do cérebro através de eletrodos fixados no escalpo do indivíduo com gravação das informações. Os traços deste registro são conhecidos como sinal de EEG. As medidas do EEG são as diferenças de tensão entre as diferentes regiões do cérebro [02]. O EEG é aplicado para monitorar e diagnosticar algumas condições clínicas, tais como epilepsia, distúrbios do sono, entre outros.

A intensidade dos sinais cerebrais é resultante, principalmente, do número de neurônios que disparam em sincronismo e não do nível total da atividade elétrica do encéfalo, isto é, a intensidade do sinal está associada ao sincronismo no disparo. A ordem de grandeza de potenciais bioelétricos é, geralmente, de unidades-dezenas de microvolts; o que é considerado baixo quando comparado com as dezenas-centenas de milivolts do EEG de fundo e com as unidades de milivolts do eletrocardiograma [03].

Para efeito de estudo e de análise são de especial interesse os sinais EEG coletados concomitantemente à apresentação de estímulos sensoriais. Quando um estímulo externo é apresentado ao sistema sensorial de um indivíduo, uma série de reações fisiológicas - sinapses, potenciais de ação etc - são desencadeadas de forma que o efeito líquido destes intrincados eventos dá origem a uma resposta evocada [04].

Ao longo dos últimos anos vem crescendo o interesse de compreender o funcionamento do cérebro. Não apenas para aplicações clínicas, como já citadas, mas também no estudo da formação das respostas cerebrais, para entender como o cérebro codifica informações sensoriais e a partir daí desenvolver novos métodos de estimulação e análise, podendo até aumentar a aplicabilidade destes sinais.

Contudo os aparelhos destinados à aquisição de sinais existentes no mercado possuem elevado custo, o que desestimula a obtenção desses aparelhos. Por isso, torna-se interessante desenvolver um sistema de aquisição de sinais eletrofisiológicos que englobe estágios de

amplificação, filtragem, digitalização e aquisição computacional, que ainda possibilite de seleção de ganho dos amplificadores e frequência de corte dos filtros por computador.

## 1.1 Pré-amplificador

Para se mensurar com fidelidade e precisão os sinais eletrofisiológicos é essencial a qualidade da interface entre a fonte do sinal e o sistema de aquisição. Os elementos que fazem esta interface são os eletrodos e o pré-amplificador [05]. O eletrodo é uma liga metálica que detecta o sinal elétrico que pode ou não ser invasivo. O pré-amplificador devido as características do sinal eletrofisiológico precisa ter alta razão de rejeição de modo comum (CMRR, do inglês *common mode rejection ratio*), ou seja, precisa rejeitar um ruído que seja comum às duas entradas. Isto porque os sinais eletrofisiológicos possuem baixa amplitude se comparado ao ruído gerado pelo ambiente externo (rede elétrica, por exemplo). Outro problema recorrente em sinais eletrofisiológicos é um nível de *offset* gerado, em geral, pelo contato dos eletrodos com a pele ou pelos próprios componentes do circuito de aquisição. Este nível DC é indesejado, principalmente porque pode limitar o ganho a baixos valores sem que haja saturação do sinal [06].

O amplificador de instrumentação (AI) é uma solução para amplificar sinais que possuem alta interferência externa mantendo a qualidade do sinal. As aplicações do AI, além da instrumentação biomédica, estão em diversas áreas tais como: instrumentação industrial, equipamentos de análises científicas etc.

O AI com sua topologia de três amplificadores operacionais proporciona uma alta impedância de entrada, no *buffer* de entrada com dois amplificadores, e uma baixa resistência de saída o que faz com que esse circuito apresente uma alta relação de rejeição de modo comum (CMRR, do inglês *common mode rejection ratio*), outra importante característica do AI é a possibilidade de ganhos mais elevados sem distorção do sinal. Estas características torna o AI como uma topologia que atende os requisitos básicos de amplificador de sinais eletrofisiológicos. A Figura 1 mostra a construção do circuito AI.

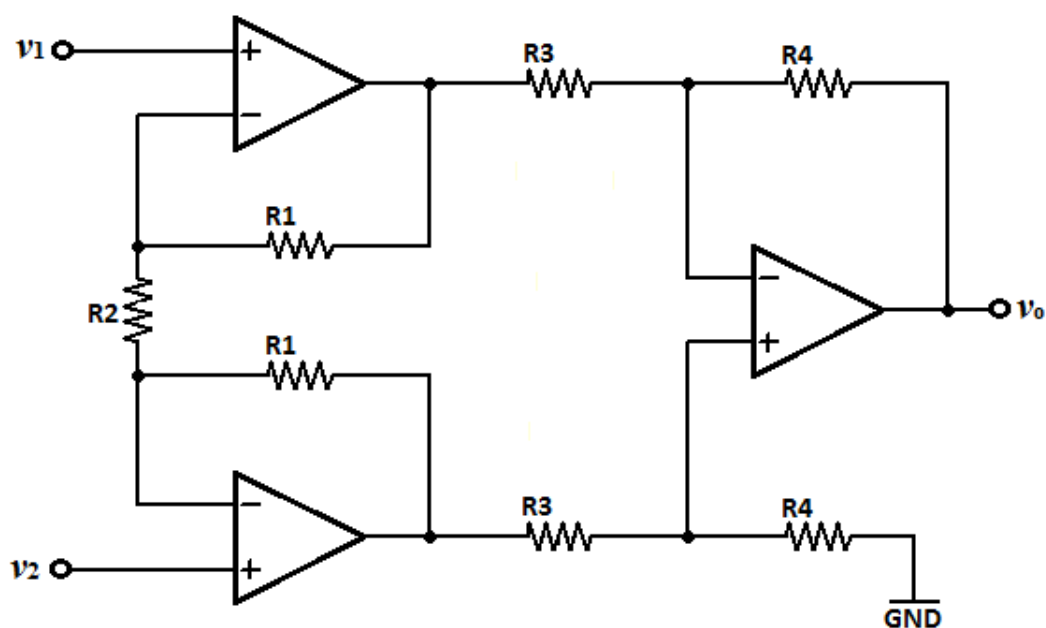


Figura 1 – Amplificador de instrumentação.

A saída do AI é proporcional à diferença dos potenciais da entrada

$$v_o = A_d (v_2 - v_1) \quad (1)$$

Onde  $A_d$  é o ganho do circuito, pela análise dos nós pode-se chegar a expressão

$$A_d = \frac{R_4}{R_3} \left( 1 + \frac{2 \cdot R_1}{R_2} \right) \quad (2)$$

O amplificador de instrumentação, por si só, não é capaz de eliminar possíveis níveis DC do sinal, podendo ainda haver saturação do sinal a depender do ganho aplicado no pré-amplificador. Uma técnica eficiente para reconstituição do sinal é a supressão DC ativa [05] [06] [07] [08], esta técnica utiliza o próprio sinal para cancelar o nível DC sem a necessidade de reiniciar o processo de aquisição (uso de relé) ou perda do sinal antes que seja submetido a uma filtragem passa-alta.

Na supressão DC ativa é inserido um circuito integrador na saída do amplificador de instrumentação que realimenta a entrada do sistema de pré-amplificação, como pode ser visto na Figura 2.

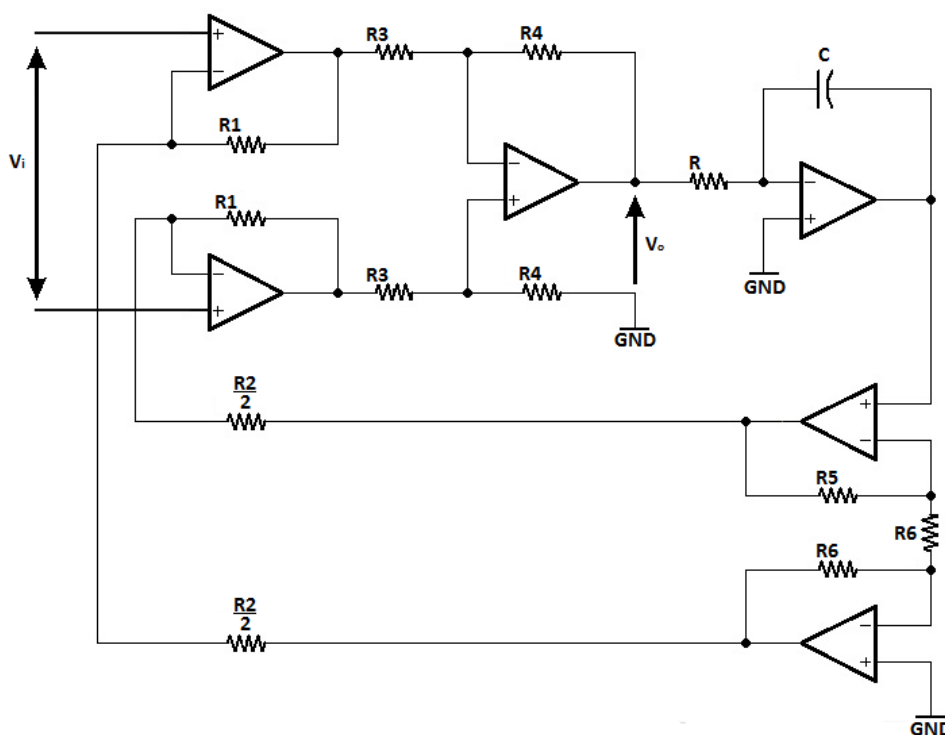


Figura 2 – Amplificador de instrumentação com supressão DC ativa.

O circuito pré-amplificador da Figura 2 pode ser mais bem descrito através de um diagrama de blocos, como mostrado na Figura 3.

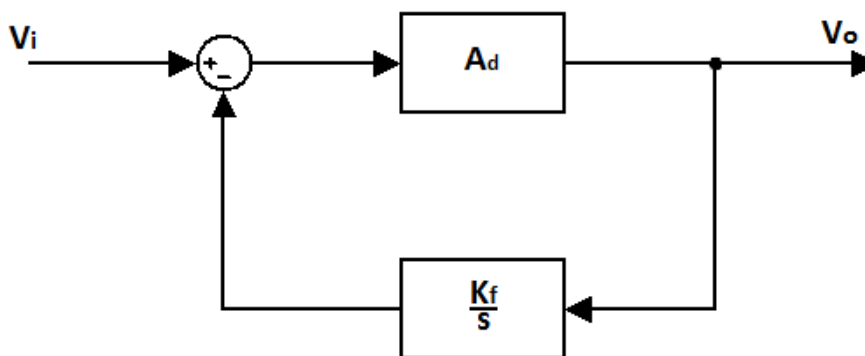


Figura 3 – Diagrama de blocos do pré-amplificador.

Pela análise deste diagrama de blocos pode-se chegar a seguinte função de transferência

$$F(s) = \frac{A_d \cdot s}{s + A_d \cdot K_f} \tag{3}$$

Onde  $K_f$  é o ganho do integrador dado pela equação

$$K_f = \frac{1}{RC} \quad (4)$$

Fazendo uma análise em frequência da equação 3 pode-se verificar que a técnica de supressão ativa transforma o pré-amplificador em filtro passa-alta de primeira ordem, cuja frequência de corte é dada pela relação

$$f_c = \frac{K_f \cdot A_d}{2\pi} \quad (5)$$

## 1.2 Filtros Analógicos

Filtros são sistemas projetados para deixar passar determinadas frequências essencialmente não distorcidas em detrimento a outras frequências que são atenuadas significativamente ou mesmo eliminadas [09].

A filtragem em um sistema de aquisição é fundamental para garantir que o sinal esteja adequado à frequência de interesse. Devido à importância da filtragem neste estudo serão discutidos os principais tipos de filtros existentes para que possa se fazer uma análise se suas características e viabilidades.

Os principais tipos de filtros são:

- Passa-baixa (PB);
- Passa-alta (PA);
- Passa-faixa (PF);
- Rejeita-faixa (RF).

Essa classificação é feita de acordo com a faixa de frequência que cada filtro permite a passagem. O filtro PB permite a passagem das baixas frequências rejeitando frequência acima da frequência de corte, o filtro PA tem característica contrária ao PB, ou seja, permite a passagem apenas de altas frequências. O filtro PF permite a passagem de frequências intermediárias, isto é, a banda passante está entre duas frequências de corte, enquanto que o filtro RF rejeita frequências intermediárias. A Figura 4 mostra as respostas da amplitude em relação a frequência para os filtros PB, PA, PF e RF.



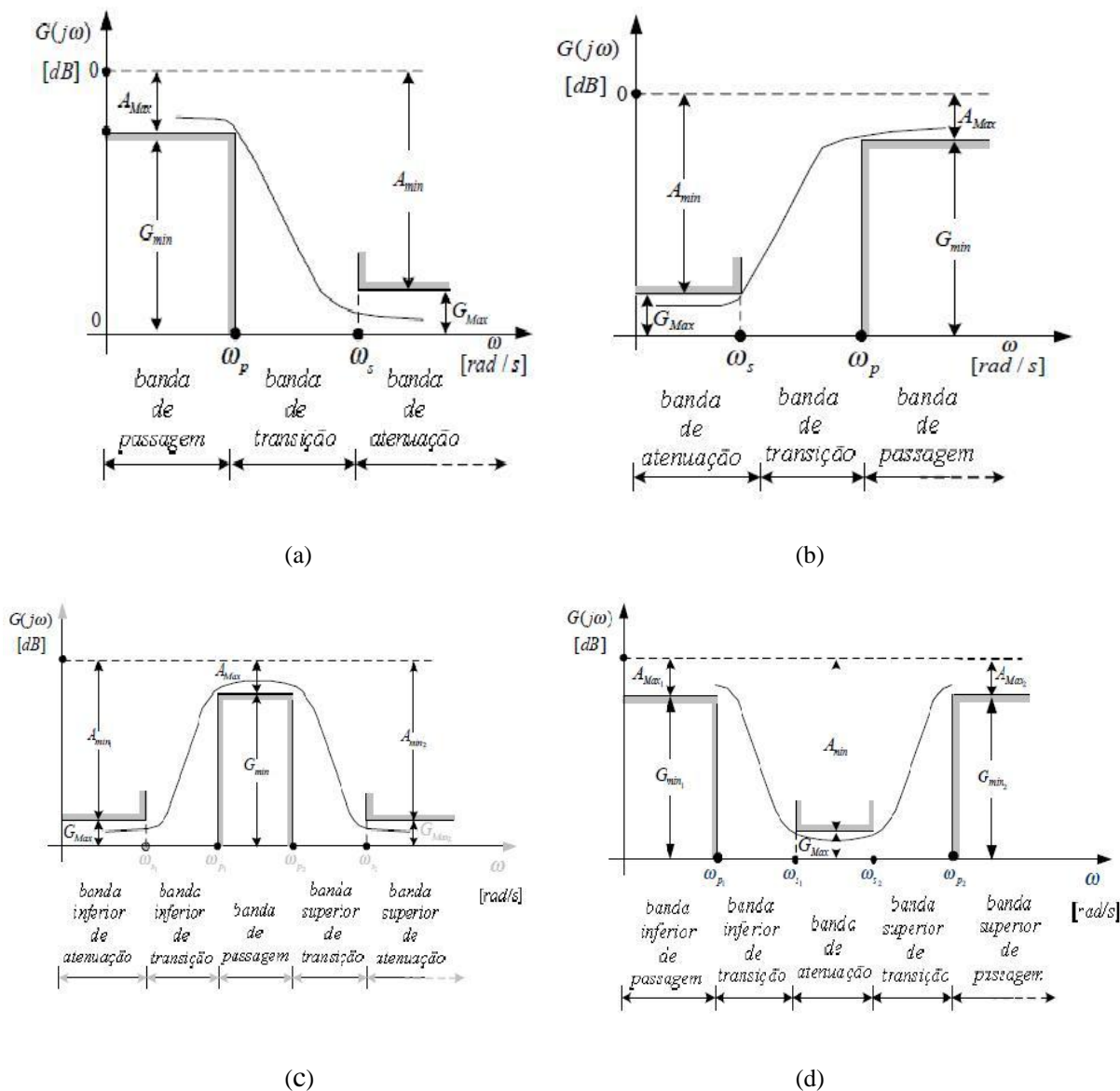


Figura 4 – Resposta em frequência dos filtros (a) passa-baixa, (b) passa-alta, (c) passa-faixa e (d) rejeita-faixa.

Os filtros também podem ser classificados de acordo a sua função resposta, são eles:

- Butterworth
- Chebyshev I
- Chebyshev II
- Elíptico

A Figura 5 mostram exemplos de respostas em frequência de filtros passa-baixa de Butterworth, Chebyshev I, Chebyshev II e Elíptico, respectivamente.

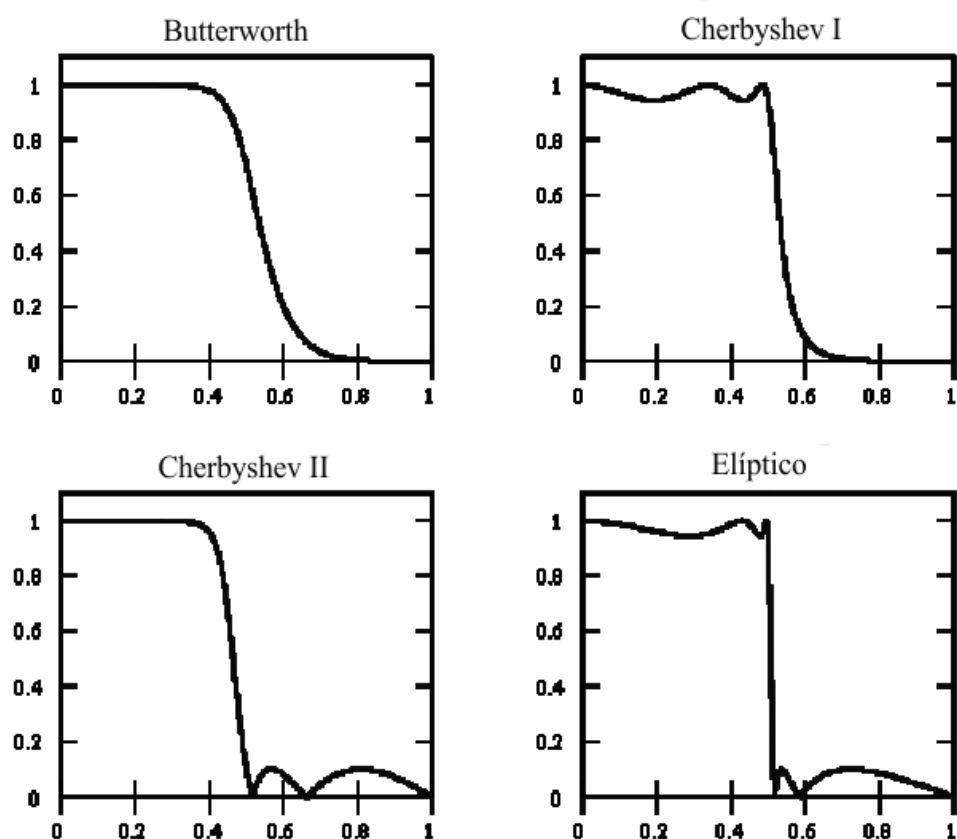


Figura 5 – Comparação entre filtros Butterworth, Chebyshev I, Chebyshev II e Elíptico.

A partir das respostas de cada um destes filtros percebe-se que as principais diferenças entre eles são a presença de *ripples* e a velocidade na transição entre a banda passante e a banda rejeitada. O filtro de Butterworth é o que apresenta banda passante e rejeitada mais estável apesar de ter uma resposta mais lenta. Os filtros Chebyshev I e Chebyshev II são essencialmente iguais quanto a velocidade de transição, mais rápida que a Butterworth, porém o Chebyshev I apresenta *ripples* na banda passante enquanto o Chebyshev II apresenta *ripples* na banda rejeitada. O filtro Elíptico apresenta ondulação tanto na banda passante quanto na rejeitada, porém com a transição mais rápida entre as funções resposta.

Existem, ainda, diversas topologias as quais podem ser montados os diversos tipos de filtros [10]. As mais comuns entre elas são as de Realimentação Múltiplas (MFB, do inglês *Multiple-Feedback*) e Sallen-Key.

A topologia MFB tem como característica ter um ganho negativo, ou seja, o sinal de saída será invertido em relação à entrada. Os resistores que dão ganho ao circuito não são isolados, ou seja, a alteração no ganho altera a frequência de corte do filtro projetado, a principal vantagem é que utiliza menos componentes para implementação. Na Figura 6 é mostrada a topologia MFB de segunda ordem.

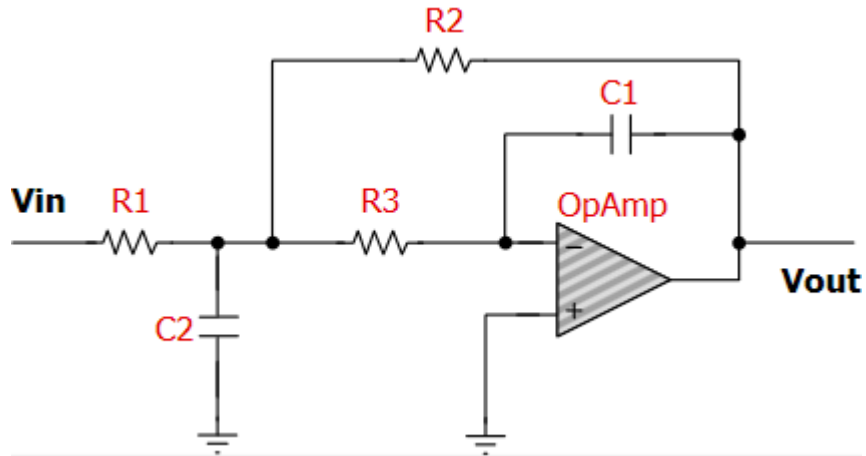


Figura 6 – Topologia de filtro MFB.

O cálculo da frequência de corte do filtro MFB é dado pela equação

$$f_c = \frac{1}{2\pi\sqrt{R_2 R_3 C_1 C_2}} \quad (6)$$

E o ganho é dado por

$$K = -\frac{R_2}{R_1} \quad (7)$$

Já a topologia Sallen-Key, também conhecida como fonte de tensão controlada por tensão (VCVS, do inglês *voltage controlled voltage source*), o ganho pode ser configurado com resistores independentes, ou seja, os resistores que dão ganho podem ser alterados sem que influencie na frequência de corte. Além disso, possui ganho não invertido. A Figura 7 mostra um filtro de segunda ordem da topologia Sallen-Key.

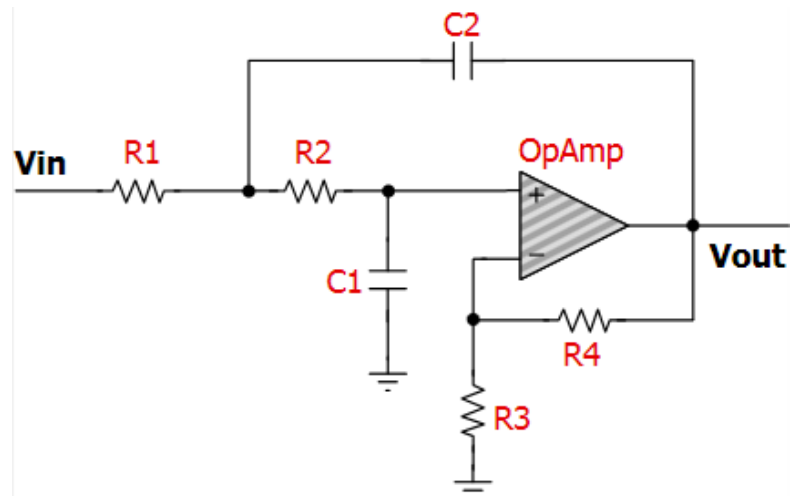


Figura 7 – Topologia de filtro Sallen-Key.

A frequência de corte do filtro com topologia Sallen-key é calculada pela equação

$$f_c = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \quad (8)$$

E o ganho é dado por

$$K = 1 + \frac{R_3}{R_4} \quad (9)$$

### 1.3 Multiplexadores e Flip-Flops

#### 1.3.1 Multiplexador

Um multiplexador é um dispositivo eletrônico que seleciona um dos diversos sinais de entrada e o transfere para a saída. Ele atua como chave de múltiplas posições controlada digitalmente, em que o código digital aplicados na entrada de seleção controla a entrada de dados que será comutada para a saída [11]. O circuito lógico de um multiplexador com quatro entradas de dados  $E_0$ ,  $E_1$ ,  $E_2$  e  $E_3$ , entradas de seleção  $A$  e  $B$  e saída de dados  $S$  é mostrado na Figura 8.

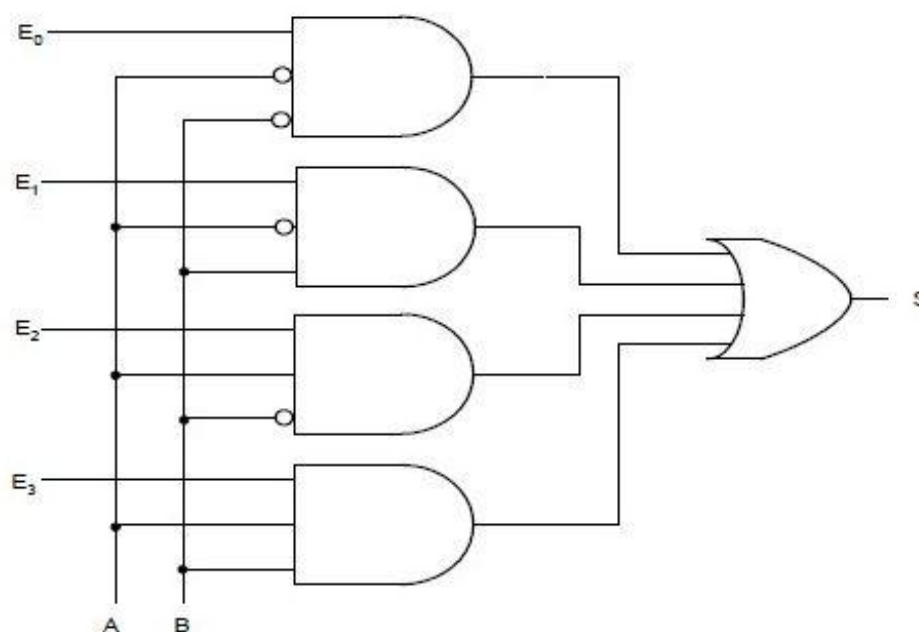


Figura 8 – Multiplexador de quatro entradas.

Fazendo uma análise do circuito lógico, mostrado na Figura 8, pode-se verificar que a seleção de cada uma das entradas de dados é feita através da lógica mostrada na Tabela 1.

Tabela 1 – Lógica de seleção do multiplexador de quatro entradas

A	B	Saída
0	0	$S = E_0$
0	1	$S = E_1$
1	0	$S = E_2$
1	1	$S = E_3$

### 1.3.2 Flip-flop

O flip-flop é um elemento de memória que pode ser implementado a partir de portas lógicas. Uma porta lógica, por si só, não tem capacidade de armazenamento, entretanto elas podem ser conectadas entre si de tal forma que permita o armazenamento e assim possa constituir um arranjo que produza um flip-flop. Na Figura 9 é mostrado um exemplo em que a partir de portas lógicas NAND é construído um sistema digital com memória.

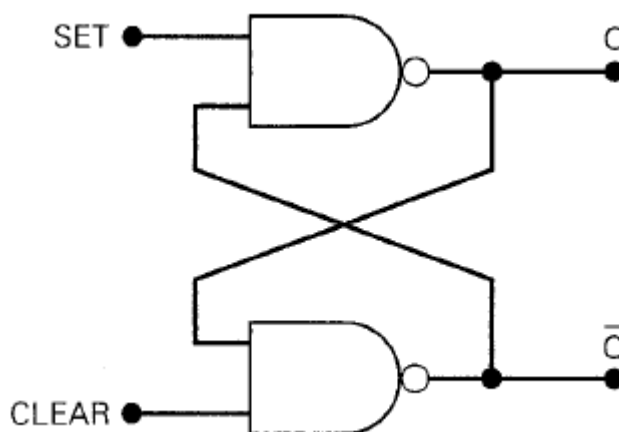


Figura 9 – Construção de flip-flop com portas lógicas NAND.

O sistema com portas lógicas da Figura 9 obedece a tabela-verdade mostrada na Tabela 2.

Tabela 2 – Lógica de seleção do multiplexador de quatro entradas

Set	Clear	Saída
1	1	Não Muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida

A maioria dos flip-flops funcionam de maneira síncrona, isto é, são projetados para mudar de estado quando há transição no sinal de clock, seja por borda de subida ou borda de descida. A seguir serão discutidos os principais de tipos de flip-flops com clock.

a) Flip-flop SC com clock

De uma maneira simplificada o funcionamento do flip-flop SC com borda de subida pode ser descrita pela tabela-verdade da Tabela 3. Este tipo de flip-flop só comuta se as duas entradas (S e C) tiverem níveis lógicos diferentes e houver borda, se as duas estiverem em estado baixo nada ocorre e o caso em que ambas forem colocadas em nível alto não deve ser usada por causar ambiguidade.

Tabela 3 – Tabela-verdade do flip-flop SC.

<b>S</b>	<b>C</b>	<b>CLK</b>	<b>Q</b>
0	0	↑	Não muda
0	1	↑	1
1	0	↑	0
1	1	↑	ambigua

b) Flip-flop JK com clock

As entradas J e K controlam o estágio lógico do flip-flop da mesma forma que a S e C, porém quando as duas entradas estiverem em nível alto a saída irá comutar a cada borda do clock. A Tabela 4 mostra a lógica de funcionamento do flip-flop JK com borda de subida.

Tabela 4 – Tabela-verdade do flip-flop JK.

<b>J</b>	<b>K</b>	<b>CLK</b>	<b>Q</b>
0	0	↑	Não muda
0	1	↑	1
1	0	↑	0
1	1	↑	comuta

c) Flip-flop tipo D com clock

O flip-flop tipo D tem sua entrada ativada pelo disparo do sinal de clock, a saída Q é mantida no mesmo estado lógico, presente na entrada D, quando ocorre uma borda na entrada do clock. A Figura 10 mostram as ondas que ilustram o funcionamento deste flip-flop.

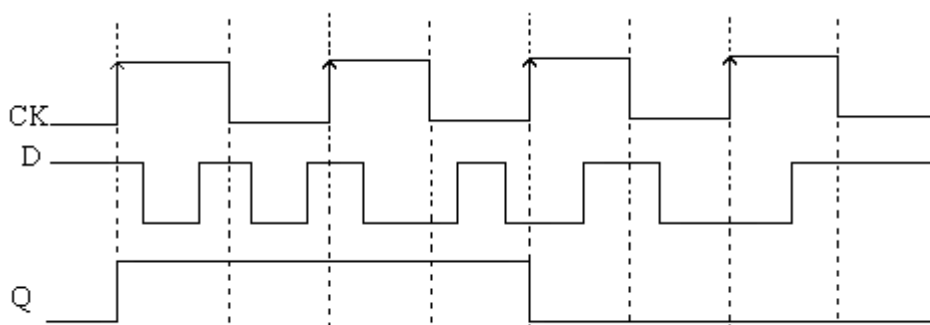


Figura 10 – Formas de ondas de funcionamento do flip-flop tipo D.

Tomando a ilustração das ondas de funcionamento do flip-flop tipo D chega-se a tabela-verdade (Tabela 5).

Tabela 5 – Tabela-verdade do flip-flop D.

D	CLK	Q
0	↑	0
1	↑	1

## 1.4 Objetivos

Este trabalho visa o desenvolvimento de um sistema de aquisição de sinais eletrofisiológicos com 16 canais, com seleção de níveis de ganho e frequência de corte realizado via software. Dessa forma, pretende-se obter um sistema que adapte a sinais de diferentes amplitudes e frequência, procurando ao mesmo tempo reduzir o custo mantendo a qualidade na aquisição dos sinais.

Dado o objetivo geral, têm-se como objetivos específicos:

- Projetar circuitos de amplificação e filtragem de sinais eletrofisiológicos;
- Aplicar métodos de atenuação de nível DC no estágio amplificação;
- Possibilitar a construção dos 16 canais de forma que sejam controlados independentemente; e,
- Comunicar o sistema analógico com o aplicativo computacional;

## 2 *Materiais e Métodos*

Para o melhor entendimento do trabalho, os materiais e métodos foram divididos em partes que correspondem a cada etapa a qual o sinal eletrofisiológico é submetido em sistema de aquisição. Assim a seguir será descrita a pré-amplificação, filtragem e amplificação final, bem como controle via computador de cada uma dessas partes.

### 2.1 *Circuito de pré-amplificação*

Como dito anteriormente, neste estágio é necessário haver uma rejeição de *offset* proveniente do contato entre o eletrodo e a pele, assim foi construído um pré-amplificador baseado no circuito da Figura 2, que possui um sistema de subtração de níveis DC do sinal. Este circuito foi montado com a utilização de amplificadores de baixo custo, TL074 e TL072, que possuem em seu chip quatro e dois amplificadores, respectivamente.

A seleção dos ganhos projetados para pré-amplificador é feito a partir do multiplexador analógico CD4052. Este multiplexador possui dois canais de fluxo de dados sendo que cada um possui quatro entradas de dados e o controle binário é mesmo para os dois canais. Como visto na Equação 2 o ganho do AI depende apenas da relação entre os resistores, assim utilizando o multiplexador CD4052 é possível obter até quatro níveis diferentes de ganho, apesar de que neste estágio foi projetado para três níveis de ganho.

A Tabela 6 mostra a relação do controle binário do multiplexador com o ganho desenvolvido no pré-amplificador.

Tabela 6 – Lógica de seleção de ganho do pré-amplificador.

<b>B</b>	<b>A</b>	<b>Ganho (V/V)</b>
0	0	2
0	1	11
1	0	101

A frequência de corte do filtro passa-alta devido ao sistema de supressão DC no pré-amplificador depende do ganho do AI e do circuito integrador, como mostrado na Equação 5.



Como o ganho do AI é variável a frequência de corte também assume três valores distintos, 0,05; 0,1 e 0,5 Hz, para os ganhos de 2, 11 e 101 V/V, respectivamente.

A Figura 11 mostra o esquemático do circuito montado para o pré-amplificador.

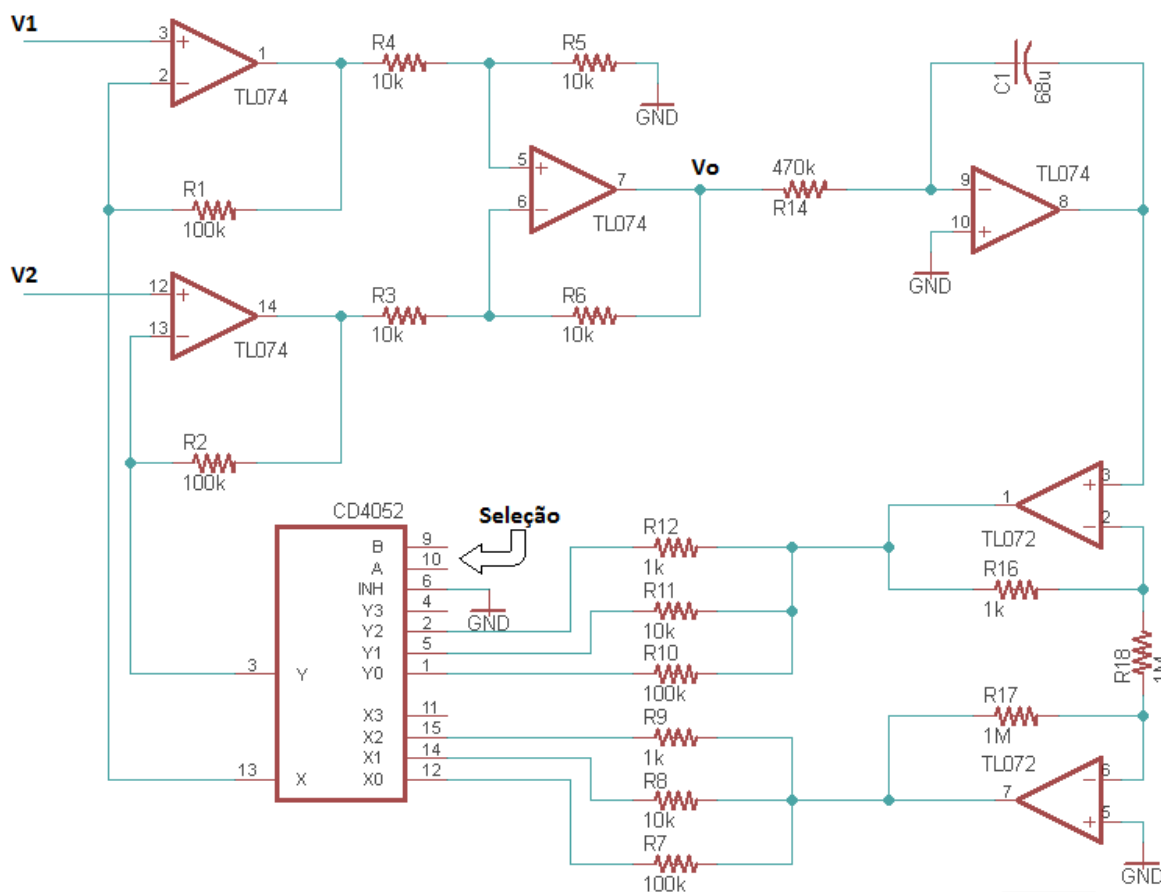


Figura 11 – Circuito de pré-amplificação.

## 2.2 Circuito de filtragem

Em dispositivos de aquisição de sinais eletrofisiológicos o mais comum é utilizar filtros passa-faixa. Porém no estágio de pré-amplificação já foi inserido um sistema capaz de eliminar o nível DC e artefatos baixas frequências. Devido a isso foi projetado um filtro passa-baixa para o sistema proposto. Este filtro é necessário para eliminar as frequências além da faixa desejada, de forma, também, a adequar o sinal ao teorema de amostragem como filtro anti-aliasing, visto que o sinal captado passará posteriormente por um processo de digitalização.

Por ter banda passante e banda rejeitada essencialmente mais estável o filtro escolhido foi de função resposta Butterworth para que minimizasse as distorções ao sinal devido a filtragem. Para reduzir a banda de transição optou-se por um filtro de quarta ordem que possui uma transição entre a banda passante e banda rejeitada de 60 dB/década maior que em filtros de primeira (20 dB/década) ou segunda (40 dB/década) ordem e é mais factível de ser implementado pois não aumenta de forma significativa a quantidade de componentes. Neste estágio, também, é aplicado um ganho de 4 V/V, de forma que a topologia Sallen-Key se adequa melhor a essa condição pelos resistores de ganho serem isolados dos resistores da frequência de corte.

De forma semelhante à usada para variação entre níveis de amplificação do pré-amplificador, foi o multiplexador CD4052 para o chaveamento dos resistores que vão definir a frequência de corte, mantendo os mesmos capacitores para cada uma das frequências selecionadas.

Para auxiliar no projeto do filtro foi utilizado o software *FilterPro*® distribuído pela *Texas Instruments*. Neste software o usuário entra com as características do filtro (tipo de filtro, ordem, topologia etc.) e ele retorna o circuito do filtro desejado. O esquemático do circuito do filtro passa-baixa é mostrado na Figura 12.

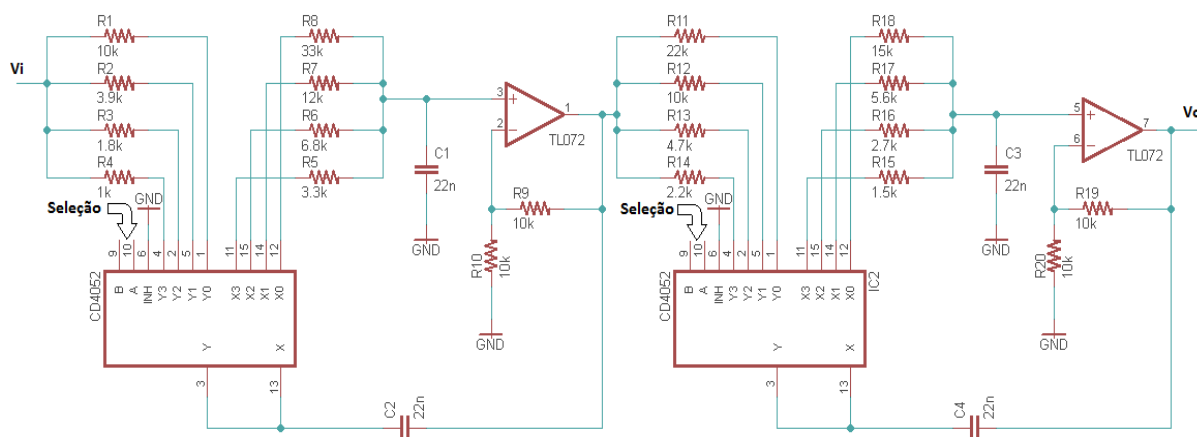


Figura 12 – Circuito de filtragem.

A Tabela 7 relaciona o controle binário dos multiplexadores à frequência de corte do filtro passa-baixa.

Tabela 7 – Lógica de seleção da frequência de corte do filtro.

B	A	Freq. De Corte (Hz)
0	0	300
0	1	1000
1	0	3000
1	1	6000

### 2.3 Circuito de amplificação

O último estágio antes que sinal seja digitalizado é um amplificador simples com saída inversora. Com este último estágio de amplificação o ganho máximo do sistema será de cerca de 20.000 V/V.

Neste estágio também é aplicado a seleção de ganho através do multiplexador CD4052, circuito deste amplificador final é mostrado na Figura 13.

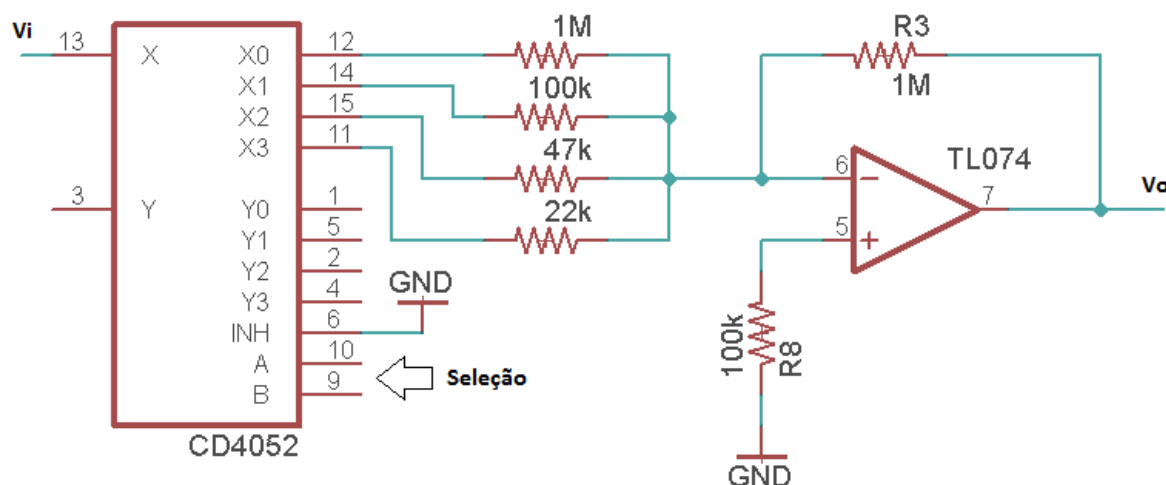


Figura 13 – Circuito do amplificador.

A ideia inicial era que os ganhos do amplificador fossem 1, 10, 20 e 50 V/V, porém o uso de resistores comerciais não permitiu chegar ao valor dos dois últimos. A Tabela 8 tem esses valores corrigidos assim como relação do controle binário do multiplexador com seus respectivos ganhos.

Tabela 8 – Lógica de seleção do amplificador.

<b>B</b>	<b>A</b>	<b>Ganho (V/V)</b>
0	0	1
0	1	10
1	0	21,3
1	1	45,5

## 2.4 *Controle digital*

Este estágio é responsável por enviar os sinais binários que controlam os ganhos do pré-amplificador e do ganho final e as frequências de corte do sistema de filtragem. Os bits de controle são enviados pela placa de aquisição de dados PCI 6220 (Figura 14) fabricada *National Instruments*. A seguir são mostrados alguns dados importantes desta placa [12]:

- 16 entradas analógicas;
- Conversor A/D de 16 bits;
- Taxa de amostragem máxima de 250 kHz;
- 24 I/O digitais.



Figura 14 – Placa de Aquisição PCI 6220.

Com sistema de 16 canais seria necessário que a PCI 6220 possuísse com pelo menos de 96 saídas digitais para fazer o controle dos multiplexadores CD4052 de forma independente. O modo operacional do CD4052 mostrando a seleção de portas de dados pode ser visto na Tabela 9.

Tabela 9 – Tabela-verdade do multiplexador CD4052.

INH	B	A	ON SWITCH
0	0	0	X0, Y0
0	0	1	X1, Y1
0	1	0	X2, Y2
0	1	1	X3, Y3
1	X	X	None

Para reduzir esse número uma solução encontrada foi utilizar um demultiplexador digital 74HC154 em conjunto com flip-flops tipo D 74HC273. O demultiplexador é responsável por direcionar o sinal de clock para os flip-flops de cada canal, onde são aplicados os bits para os circuitos de pré-amplificação, filtragem e amplificação de cada canal. Dessa forma a quantidade bits para o controle de ganho e frequência é reduzido a 10 bits. A Figura 15 mostra a operação simplificada do demultiplexador com o flip-flop para um canal.

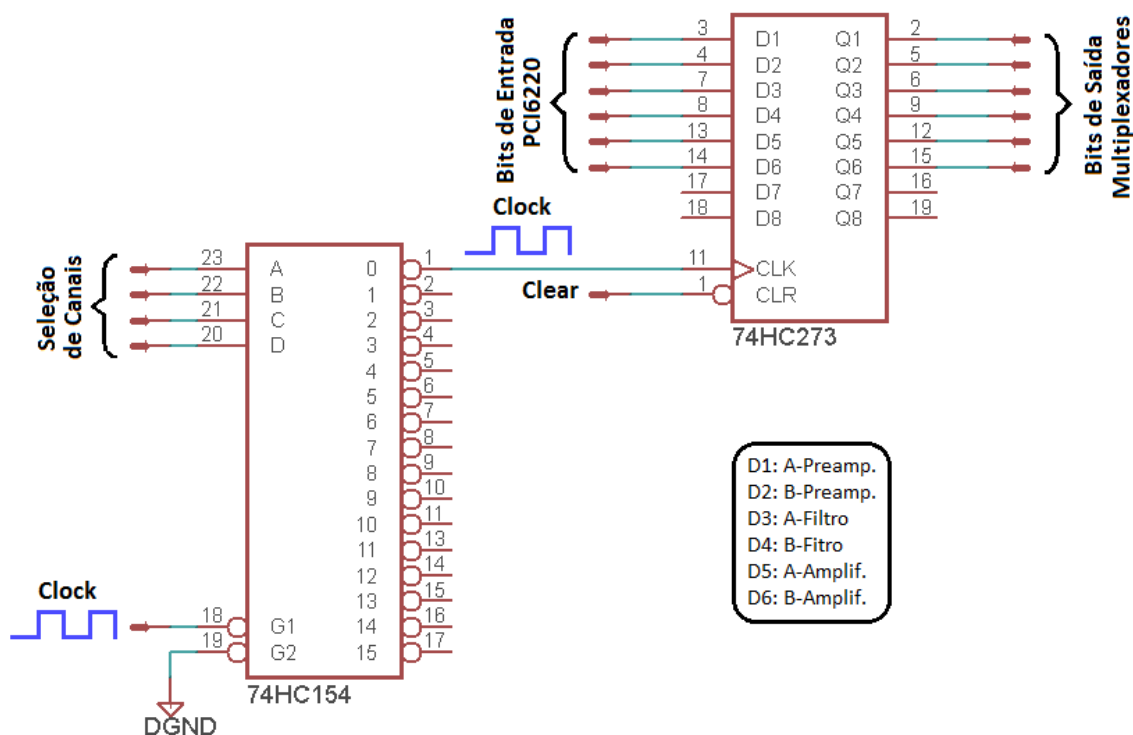


Figura 15 – Seleção de bits com 74HC154 e 74HC273.

A seleção dos canais é dada pela combinação lógica da Tabela 10.

Tabela 10 – Seleção dos canais pelo demultiplexador 74HC154.

<b>A</b>	<b>B</b>	<b>C</b>	<b>D</b>	<b>Canal</b>
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	7
0	1	1	1	8
1	0	0	0	9
1	0	0	1	10
1	0	1	0	11
1	0	1	1	12
1	1	0	0	13
1	1	0	1	14
1	1	1	0	15
1	1	1	1	16

Além do controle de bits de seleção de canais, amplificação e frequência de corte a placa de aquisição é usada para condicionar os sinais. Os detalhes do software de controle e aquisição estão presentes em [13]. O painel de controle do software pode ser visto na Figura 19 do Apêndice A.

O sistema montado em placa de circuito impresso é mostrado na Figura 20 do Apêndice B.

### 3 Resultados e Discussões

Para mostrar a atuação do sistema de supressão ativa de *offset* foi aplicada uma onda quadrada de 0,140 Hz ao sistema para cada uma das possibilidades de ganho do pré-amplificador. O resultado pode ser visto na Figura 16, onde pode ser comparado o sinal de entrada com o sinal de saída.

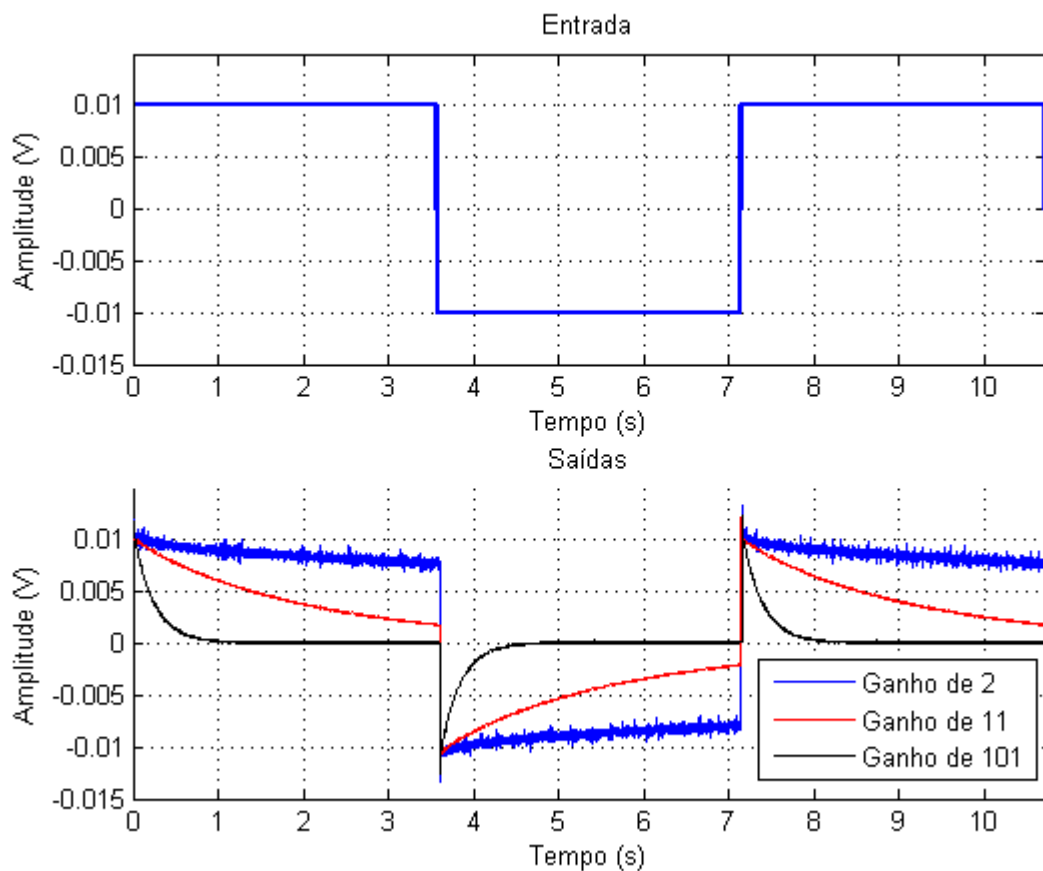


Figura 16 – Resposta do sistema à entrada de uma onda quadrada.

O tempo de resposta é diferente para cada um dos níveis de ganho aplicado, isto porque a constante de tempo altera com a mudança de ganho. Este fato altera o resultado final e no que se propõe a supressão DC ativa, mesmo no caso de ganho menor o *offset* acaba desaparecendo em um tempo relativamente curto.

O teste para verificar a eficiência do sistema de filtragem nas quatro frequências de corte foi aplicando um ruído branco. A taxa de amostragem para aquisição foi ajustada para 15 kHz que é máxima taxa de amostragem com registro nos 16 canais, valor maior que o

dobro da frequência de corte máxima projetada adequando, assim, ao teorema de Nyquist. A Figura 17 mostra a transformada rápida de Fourier para cada um dos casos.

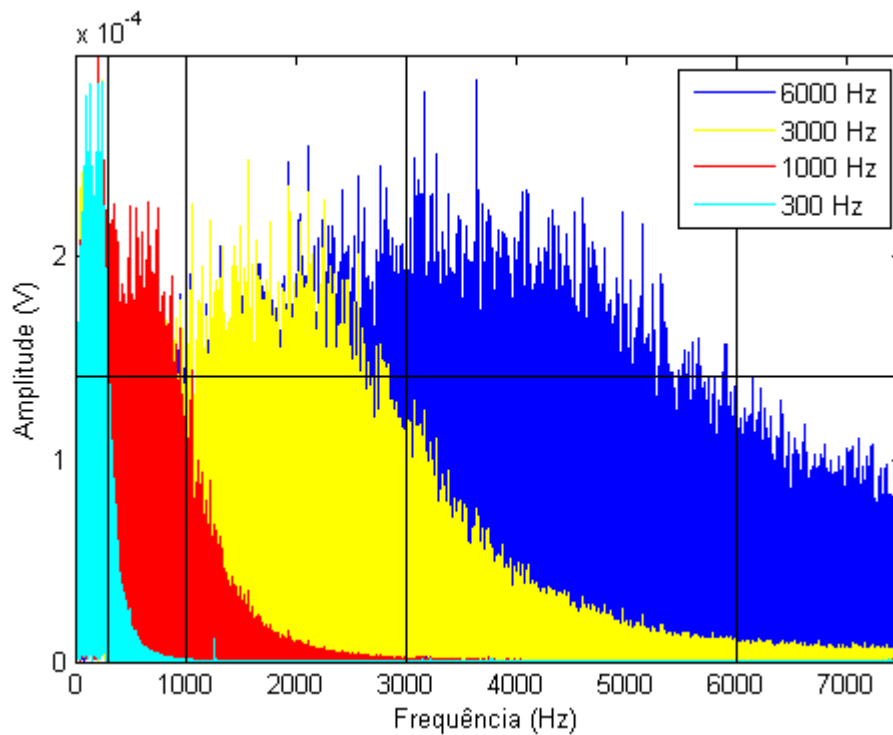


Figura 17 – Resposta em frequência de um ruído branco aplicado ao sistema.

A combinação de amplificação do sistema da mínima até máxima é mostrada na Tabela 11, ao todo são possíveis 12 combinações diferentes de ganho.

Tabela 11 – Combinações de amplificação do sistema.

<b>Pré-Amp.</b>	<b>Filtro</b>	<b>Amp.</b>	<b>Projetado</b>	<b>Real</b>
2	4	1	8	8
11	4	1	44	43,5
2	4	10	88	83
2	4	21,27	170,16	170
2	4	45,45	363,6	360
101	4	1	404	358
11	4	10	440	430
11	4	21,27	935,88	900
11	4	45,45	1999,8	1950
101	4	10	4040	3550
101	4	21,27	8593,08	7425
101	4	45,45	18361,8	16080



A maior variação entre o ganho obtido e o ganho projetado foi de 13,59%. As variações foram mais evidentes para os ganhos maiores, principalmente para os ganhos de 101 V/V do pré-amplificador. Fica evidente, então, a necessidade de que aplicar ganho de forma gradativa em cada estágio, já que aplicar em apenas um amplificador pode gerar uma atenuação indesejada.

A seguir, na Figura 18, tem-se um trecho de um registro de eletrocardiograma (ECG) feito por em dos canais do sistema.

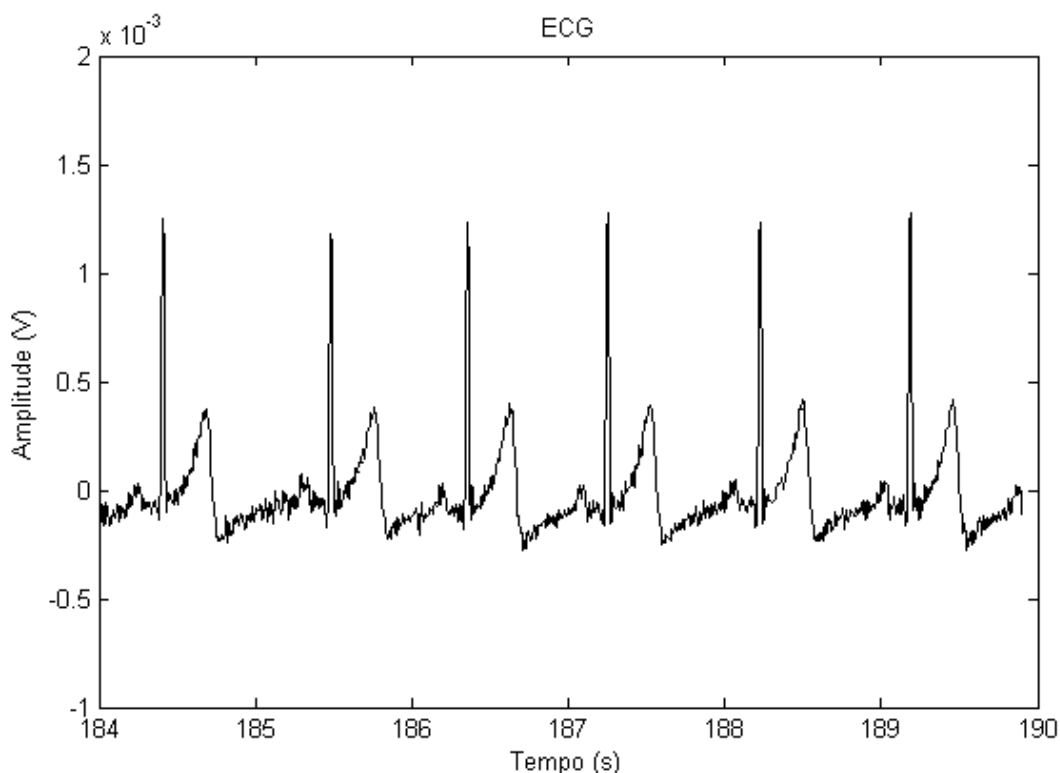


Figura 18 – Trecho de registro de ECG.

O sistema (estágios de filtragem, pré-amplificadores e amplificadores) apresentou um consumo máximo de 630 mA. A alimentação do sistema fica por conta de duas baterias de 12 V com capacidade de 7 Ah cada, dando uma autonomia de cerca 22 horas em funcionamento.

## 4 *Conclusões*

Neste trabalho foi desenvolvido circuitos de amplificação e filtragem que possuíssem a possibilidade de reconfiguração em tempo real realizada através de software. Buscou-se desde o princípio reduzir o custo na elaboração do sistema utilizando componentes de uso comum na eletrônica que apresentasse, na medida do possível, preços mais baixos de mercado sem que isso pudesse prejudicar os resultados.

A possibilidade de escolha entre diferentes níveis de ganho e frequência de corte torna o equipamento flexível, podendo ser utilizados para uma gama maior de sinais. O controle independente de cada canal permite ao usuário trabalhar com sinais de diferentes amplitudes e banda de frequência simultaneamente, já que a aquisição e controle são feitos paralelamente.

Os resultados mostram que, com a topologia implementada para a supressão de nível DC ativa, há possibilidade de reconstituição da linha de base. Com isso mesmo que o sinal entre no sistema com *offset* será possível obter uma maior amplificação sem que sature.

## *Referências Bibliográficas*

### **CASOS**

- [01] Costa, E. J. X. (2005). Estudo da atividade elétrica cerebral em humanos e bovinos usando processamento digital de sinais e instrumentação eletrônica. Dissertação de Mestrado. Engenharia Elétrica, USP – 2005. 13
- [02] Dilmaghani, R., Ghavami, M., Cumar, K., Dualeh, A., Sousa, S. G., Mohd, R. S., Sekanderzada, M., Koke, H. (2010). Design and Implementation of a Wireless Multi-Channel EEG Recording. CSNDSP – 2010. 13
- [03] Felix, L. B. (2006). Detecção Objetiva de Respostas Auditivas em Regime Permanente: Aplicação em Exames Audiológicos. Tese de Doutorado. UFMG – 2006. 13
- [04] Chiapa, K. H. (1997). Evoked Potentials in Clinical Medicine, New York: Raven Press, 2nd edition – 1997. 13
- [05] Jorgovanovic, N., Bojanic, D., Ilic, V., Stanisic, D. (2009). An Improved AC-Amplifier for Electrophysiology. Journal of Automatic Control, University of Belgrade, Vol. 19:7-12 – 2009. 14
- [06] Spinelli, E. M., Martínez, N., Mayosky, M. A., Pallàs-Areny, R. (2004). A Novel Fully Differential Biopotential Amplifier With DC Suppression. IEEE Transactions on Biomedical Engineering, Vol. 51, No.8 – 2004. 14
- [07] Goswami, M., Khanna, S. (2011). DC Suppressed High Gain Active CMOS Instrumentation Amplifier for Biomedical Application. ICETECT – 2011. 15
- [08] Degen, T., Jackel, H. (2006). A Pseudodifferential Amplifier for Bioelectric Events with DC-Offset Compensation Using Two-Wired Amplifying Electrodes. IEEE Transactions on Biomedical Engineering, Vol. 53, No.2 – 2006. 15
- [09] Oppenheim, A. V., Willsky, A. S. (2010) Sinais e Sistemas. Pearson Education, 2ª Edição – 2010. 17
- [10] Pertence, A. (2003). Amplificadores Operacionais e Filtros Ativos. 6ª Edição, Editora Bookman – 2003. 19
- [11] Tocci, R. J., Widmer, N. S., Moss, G. L. (2007). Sistemas Digitais: Princípios e Aplicações. 10ª Edição, São Paulo: Pentice Hall Brasil – 2007. 21
- [12] Manual do usuário PCI 6220. Disponível em <http://www.ni.com/pdf/manuals/371290g.pdf>. Acessada em 13/07/2012 30
- [13] Souza, P. V. L. (2010). Aplicativo Computacional para Aquisição de Sinais Eletrofisiológicos e Detecção. Monografia. UFV – 2010. 32

## Apêndice A – Painel de Controle do Sistema de Aquisição

A Figura 19 mostra o painel frontal do programa desenvolvido para controle e aquisição dos sinais [13].

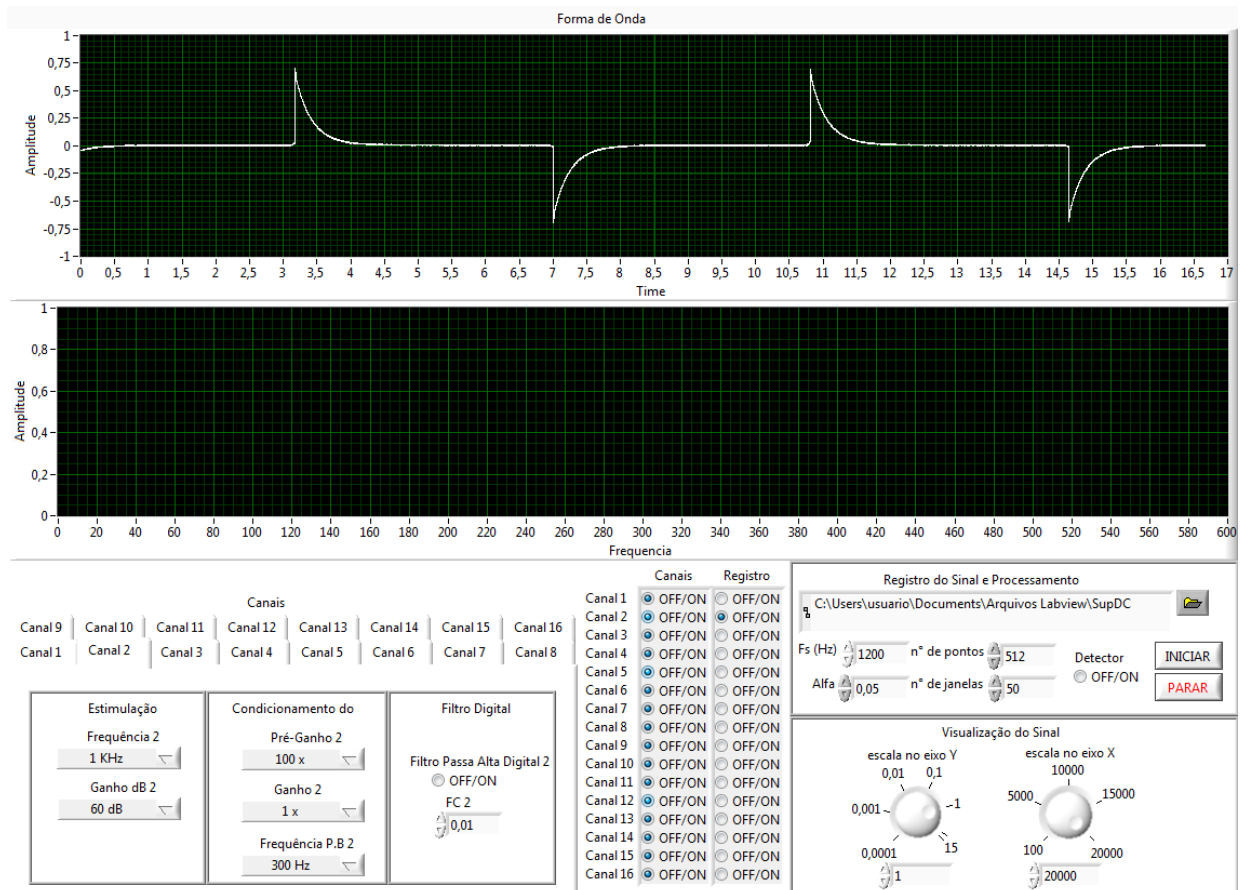


Figura 19 – Painel frontal de controle.

## *Apêndice B – Montagem em placa de circuito impresso*

A Figura 20 mostra a montagem do sistema em placa de circuito impresso.



Figura 20 – Montagem do sistema.