

Estratégias para remover conflitos em Redes Bloqueantes

Caio Von Rondow Moraes, Olavo Barros, Jeronimo Penha, José A. Nacif, Ricardo Ferreira

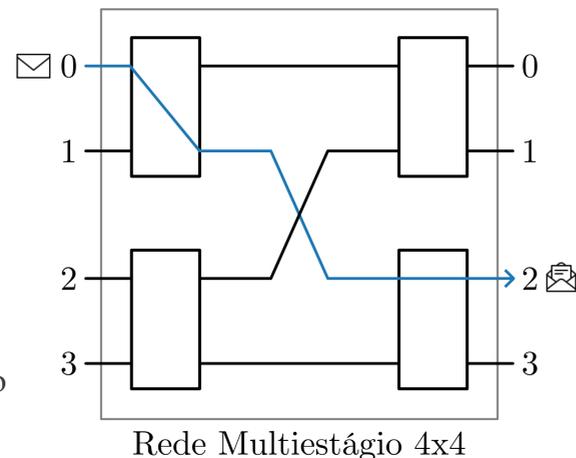
Redes de Interconexão Multiestágio, Arquiteturas Reconfiguráveis, Meta-heurística

Introdução

Uma Rede Multiestágio é um subconjunto de conexões de N Entradas \rightarrow Saídas, com o custo reduzido a $N \cdot \log(N)$.

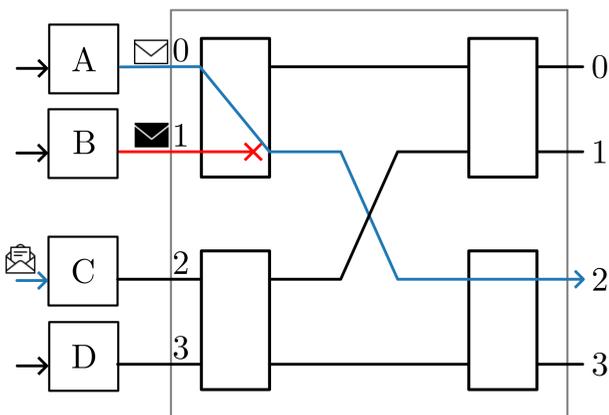
Em redes 256×256 , há $\approx 10^{671}$ possibilidades de roteamento.

Desse modo, buscar neste espaço se torna inviável.



Rede Multiestágio 4x4

Objetivos



Rede Multiestágio 4x4

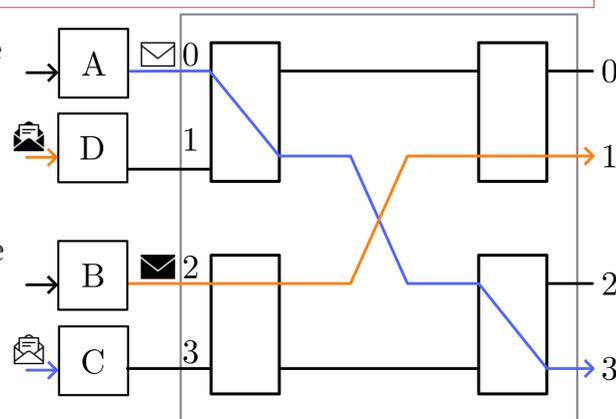
Perceba que houve um **CONFLITO** ao estabelecer a conexão $1 \rightarrow 3$ e, com isso, a segunda mensagem não foi enviada. Isso ocorre porque a rede não produz todas as permutações.

Portanto, o objetivo deste trabalho é removê-los.

Material e Método

Para isso, os emissores (A, B, C e D) podem ser re-posicionados, alterando a entrada e a saída da mensagem.

Foram sugeridas 4 estratégias de posicionamento: **Aleatória**, **Método Guloso**, **Busca Local Simples (BLS)** e **Simulated Annealing (SA)**.

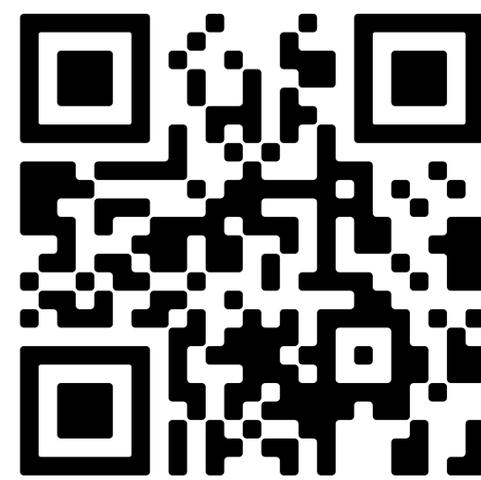


Rede Multiestágio 4x4

Apoio financeiro

Apoio financeiro da FAPEMIG APQ-01577-22, CNPq e UFV.

Resultados e Discussão



Conclusões

Com isso, conseguimos evidenciar que as estratégias de mapeamento foram eficazes na resolução dos conflitos em todos os 12 benchmarks, inclusive minimizando a necessidade de estágios extras.

Isso resultou em uma redução efetiva dos custos da rede em 2x quando nenhum estágio extra é utilizado ou em pelo menos em 25% usando 2 estágios extras.

Bibliografia

- Carvalho, W., Canesche, M., Silva, L., Nacif, J., and Ferreira, R. (2020). **A design exploration of scalable mesh-based fully pipelined accelerators**. In IEEE ICFPT. Choi, Y.-k., Chi, Y., Qiao, W., Samardzic, N., and Cong, J. (2021). **Hbm connect: High-performance hls interconnect for fpga hbm**. In ACM FPGA. Ferreira, R., Vendramini, J., Pereira, M. M., and Carro, L. (2011). **An fpga-based hetero-geneous coarse-grained dynamically reconfigurable architecture**. In Int conference on Compilers, architectures and synthesis for embedded systems - CASES.

Agradecimentos

Este trabalho também foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES).